

End of Result Set

 Generate Collection

L1: Entry 1 of 1

File: JPAB

Jun 10, 1987

PUB-NO: JP362128561A

DOCUMENT-IDENTIFIER: JP 62128561 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 10, 1987

INVENTOR-INFORMATION:

NAME	COUNTRY
ISHII, KYOICHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
FUJITSU LTD	

APPL-NO: JP60268546

APPL-DATE: November 29, 1985

US-CL-CURRENT: 257/577; 257/E29.175

INT-CL (IPC): H01L 29/68; H01L 27/06

ABSTRACT:

PURPOSE: To provide a high frequency high output semiconductor device which has the respective features of an FET and a bipolar transistor by forming the FET and the bipolar transistor in the same semiconductor substrate adjoining to each other.

CONSTITUTION: A bipolar transistor Q1 and an FET Q2 are provided in a same semiconductor substrate adjoining to each other. The source terminal of the FET Q2 and the base terminal of the transistor Q1 are electrically connected by a metal layer 18 on the substrate surface. The semiconductor substrate is constituted as a common region of the drain D of the FET Q2 and the collector C of the transistor Q1. The gate electrode 17 of the FET Q2, the backplane electrode 20 of the semiconductor substrate and the emitter electrode 19 of the transistor Q1 are provided as an input terminal 1, an output terminal and a common grounding terminal respectively. When a positive voltage is applied to the input terminal 1, the drain current ID of the MOS FET Q2 is increased and the base current IB of the transistor Q1 is increased and the collector current IC multiplied by β ; by the transistor Q1 is increased. When a negative voltage is applied to the input terminal 1, the collector current IC is reduced. In other words, the device operates basically as an amplifier and a switching device.

COPYRIGHT: (C)1987,JPO&Japio

⑪ 公開特許公報 (A)

昭62-128561

⑫ Int.Cl.⁴H 01 L 29/68
27/06

識別記号

103

厅内整理番号

8526-5F
7735-5F

⑬ 公開 昭和62年(1987)6月10日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体装置

⑮ 特願 昭60-268546

⑯ 出願 昭60(1985)11月29日

⑰ 発明者 石井 恒一 川崎市中原区上小田中1015番地 富士通株式会社内

⑱ 出願人 富士通株式会社 川崎市中原区上小田中1015番地

⑲ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

同一半導体基板 (11, 12) 内にバイポーラ型トランジスタ (01) と電界効果型トランジスタ (FET) (02) が隣接して配設され、

FET (02) のソース端子とバイポーラ型トランジスタ (01) のベース端子は基板表面上にてメタル層 (18) において接続され、

半導体基板 (11, 12) は FET (02) のドレイン (D) とバイポーラトランジスタ (01) のコレクタ (C) の共通領域であり、

FET (02) のゲート電極 (17) を入力端子、基板裏面電極 (20) を出力端子、バイポーラトランジスタ (01) のエミッタ電極 (19) を共通接地端子としてなることを特徴とする半導体装置。

3. 発明の詳細な説明

〔概要〕

FET とバイポーラトランジスタからなる複合デ

バイスを同一半導体チップ内に構成し、両方の特徴をもち、1個のデバイスとして動作する高周波高出力半導体素子である。

〔産業上の利用分野〕

本発明は高周波高出力半導体装置に関するもので、さらに詳しく言えば、同一の半導体基板内にバイポーラ型トランジスタと電界効果型トランジスタ (FET) を隣接して配設し、両者の利点を結合してなる高周波高出力用の半導体装置に関するものである。

〔従来の技術〕

高周波高出力バイポーラトランジスタは、①チップ面積に対する出力電力比が大である、すなわち、チップ面積が小さくコストが安価であり、②いわゆる ON抵抗が小さく電力損失が少ない利点をもつ。

他方、高周波高出力電界効果型トランジスタ (FET) は、①電圧駆動型であるため、入カインビ

一ダンスが高く、②チャネル温度が上昇すると、チャネル抵抗が高くなつてチャネル動作電流が減少し、熱暴走を起し難い利点をもつ。

(発明が解決しようとする問題点)

しかし、バイポーラトランジスタにおいては、①電流駆動型デバイスであるために、入力インピーダンスが数オーム以下ときわめて小であり、インピーダンス整合回路の設計製作が難しく、②動作電流の温度係数が正で、熱暴走を起して破壊し易い問題がある。

高周波高出力FETは、①バイポーラトランジスタに比べてチップの面積効率が劣り、従って大きな動作電流能力をもつたチップは大きなものでなければならず、②構造および動作原理上、バイポーラトランジスタに比べてON抵抗が大で、電力損失が多大である問題がある。

本発明はこのような点に鑑みて創作されたもので、バイポーラトランジスタとFETの双方の長所を具備した高周波高出力半導体増幅素子を提供す

ることを目的とする。

(問題点を解決するための手段)

第1図は本発明実施例の断面図であり、同図において、11と12はn/n+型半導体基板のn+型層(例えは埋込層)とn型層(エビタキシャル層)、13はp型のベース領域、14と15はp型ベース領域13にそれぞれ形成されたn+型のソース領域とエミッタ領域、16は二酸化シリコーン(SiO₂)膜、17はゲート電極、18はソースとベース領域の接続メタル層、19はエミッタ電極、20は基板裏面電極20である。

第1図において、同一半導体基板内にバイポーラ型トランジスタQ1とFET Q2が隣接して配設され、FET Q2のソース端子とトランジスタQ1のベース端子は基板表面上でメタル層18によって電気的に接続され、半導体基板はFET Q2のドレイン(D)とトランジスタQ1のコレクタ(C)の共通領域として構成され、FET Q1のゲート電極17を入力端子(1)、半導体基板の裏面電極20を出力端子(2)、

トランジスタQ1のエミッタ電極19を共通接地端子(3)とする。

(作用)

上記した半導体装置において、バイポーラ型と電界効果型トランジスタを1つの半導体チップ内に配設し内部接続して、入力インピーダンスが高く、温度係数が負で、熱暴走し難く、かつ、ON抵抗が小で電力損失が少なく、チップの面積効率もバイポーラ型に比べて劣らない高周波高出力半導体デバイスが得られる。

(実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第2図は本発明の原理を示すための回路図で、NチャネルMOS型FET Q2と、NPNバイポーラトランジスタQ1との組合せを示す。前段にFET Q2、後段にバイポーラトランジスタQ1を配置し、FET Q2のドレイン端子(D)とトランジスタQ1のコレクタ端子(C)を接続して出力端子(2)とし、ソース端子(S)とベース端子(B)を接続して共通端子(3)とし、ゲート端子を入力端子(1)とする。

第3図は第2図の回路の動作原理を説明するための回路図で、入力端子1に正の電圧を印加すると、MOS FET Q2のドレイン電流I_Dは増加し、従って、トランジスタQ1のベース流入電流I_Bは増加し、それがトランジスタQ1によりβ倍されコレクタ流入電流I_Cが増加する。

逆に、入力端子1に負の電圧を印加すると、コレクタ流入電流I_Cは減少する。すなわち、本発明のデバイスは、基本的に増幅素子およびスイッチ素子として動作することができる。

高周波特性という観点からはNチャネルMOS型FETとNPN型トランジスタの組合せにより良好な結果が得られるが、PチャネルMOS FETとPNP型トランジスタの組合せ、さらにはFET素子として接合型(J-FET)も可能である。

以上に説明したデバイスにおいて、入力には

FET を配置したので、 $I_s (-I_g)$ はきわめて小であり、入力インピーダンスは大きくなる。

出力にはバイポーラトランジスタを配置したので、ON抵抗は小になる。

また、2つのトランジスタは同一チップ内に配置されているので、大電流、すなわち大電力を増幅、制御、消費しているバイポーラトランジスタの接合温度が異常に高くなると、その熱は前段のFET のチャネル温度をも上昇させてるので、負の温度係数特性により結果的にベース流入電流 I_b を減少させ、コレクタ流入電流 I_c を減少させ、熱暴走に至ることを防止する。

前段のFET の取り扱い電流は後段のバイポーラトランジスタのそれの $1/\beta$ でよいため、小さなパターン面積 (FET 単独の場合の $1/\beta$) のFET でよく、チップの面積効率の劣化は少ない。

本発明のデバイスは二段増幅となっているので、ゲインが高く、結果として装置が小型化できる利点がある。

次に、第4図(a)ないし(d)の断面図を参照して第

ソース/ベース接続メタル層18、エミッタ電極19を形成し、次いで基板裏面電極20を形成する。

(発明の効果)

以上述べてきたように、本発明によれば、同一半導体基板内にFET とバイポーラトランジスタを隣接して配設することにより、両方のそれぞれの特徴をもった高周波高出力半導体装置が提供されるものである。

4. 図面の簡単な説明

第1図は本発明実施例の断面図、

第2図は本発明の原理を示す回路図、

第3図は第2図の回路の動作原理を示す回路図、

第4図(a)ないし(d)は第1図の装置を作る工程を示す断面図である。

第1図ないし第4図において、

1 は入力端子、

2 は出力端子、

1 図の装置を作る一つの方法を説明する。

第4図(a)参照:

n^+ 型基板11の上に通常の技術でエピタキシャル層12 (濃度 $10^{15} \sim 10^{16} / cm^3$ の n 型) を成長する。

第4図(b)参照:

エピタキシャル層12の表面に SiO_2 膜21を形成し、それをバーニングし、ボロンイオン (B^+) をイオン注入して濃度 $10^{16} \sim 10^{17} / cm^3$ の p 型ベース領域13を形成する。

第4図(c)参照:

SiO_2 膜21を除去し、新たに SiO_2 膜22を形成し、それを図示の如くバーニングし、りんイオン (P^+) をイオン注入して n^+ 型ソース領域14、エミッタ領域15を形成する。

第4図(d)参照:

SiO_2 膜22を除去し、 SiO_2 膜16を $500 \sim 1000 \mu m$ の厚さに形成し、それを図示の如くバーニングし、アルミニウム (Al) を $1.0 \mu m$ の厚さに成長し、それをバーニングしてゲート電極17、

3 は共通端子、

11は n^+ 型層、

12は n 型エピタキシャル層、

13はベース領域、

14は n^+ 型ソース領域、

15は n^+ 型エミッタ領域、

16は SiO_2 膜、

17はゲート電極、

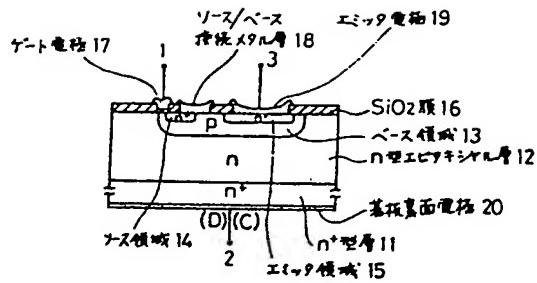
18はソース/ベース接続メタル層、

19はエミッタ電極、

20は基板裏面電極、

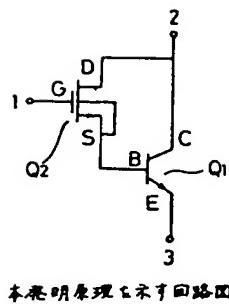
21と22は SiO_2 膜である。

代理人 弁理士 井桁貞一

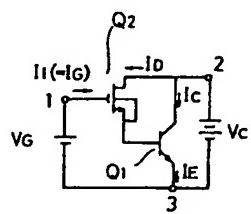


本発明実施例断面図

第1図



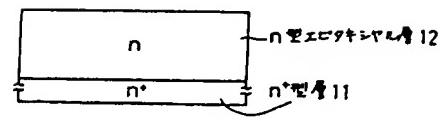
本発明原理を示す回路図



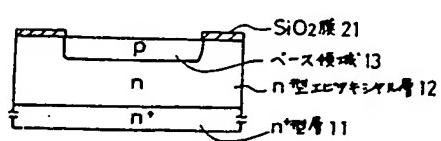
第2図の回路の動作原理を示す回路図

第3図

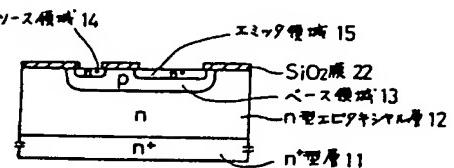
(a)



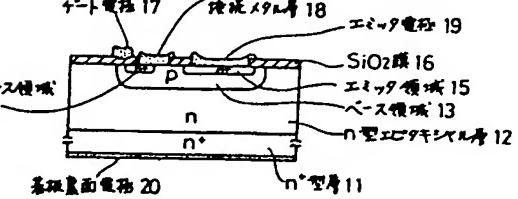
(b)



(c)



(d)



第4図の装置製作工程を示す断面図

第4図